



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61139163 A**(43) Date of publication of application: **26.06.86**

(51) Int. Cl. **H04N 1/393**
G06F 3/14
G06F 15/62
G09G 1/00
G09G 1/16

(21) Application number: **59261516**(71) Applicant: **FUJI XEROX CO LTD**(22) Date of filing: **10.12.84**(72) Inventor: **IMADA MASATAKU**

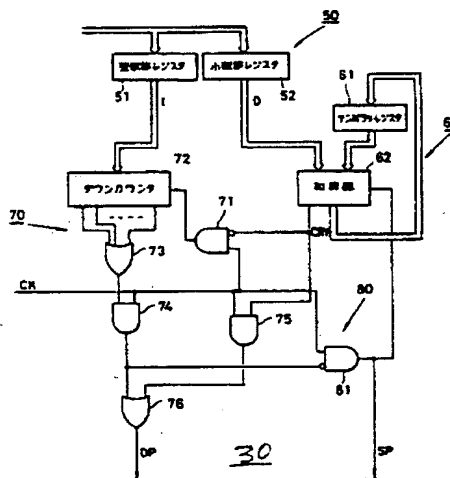
(54) **GENERATING CIRCUIT OF IMAGE
 ENLARGEMENT AND REDUCTION TIMING**

COPYRIGHT: (C)1986,JPO&Japio

(57) Abstract:

PURPOSE: To attain a linear variance of reduction and magnification without distinguishing enlargement and reduction operations by determining the reduction magnification on a basis of a ratio of generation of two timing pulse signals for enlargement or reduction.

CONSTITUTION: The reduction magnification is divided into an integer part I and a decimal part D and they are set to registers 51 and 52 in a constant setting part 50 of an image enlargement/reduction timing generating circuit 30. An adding part 60 adds this decimal part D repeatedly, and a carry signal CRY is outputted when the addition result exceeds integer value '1'. Then, two timing signals which determine the shift timing of an enlargement/reduction circuit, namely, a destination shift pulse DP and a source shift pulse SP are generated from a destination shift timing generating part 70 and a source shift timing generating part 80 respectively. For example, a ratio of generation of the pulse SP to the pulse DP is 2:5 in case of 2.5 reduction magnification.



⑫ 公開特許公報(A)

昭61-139163

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)6月26日

H 04 N 1/393
G 06 F 3/14
G 09 G 15/62
G 09 G 1/00
1/16

7334-5C
7341-5B
6619-5B
7923-5C
8121-5C

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 画像拡大縮小タイミング発生回路

⑯ 特 願 昭59-261516

⑰ 出 願 昭59(1984)12月10日

⑱ 発 明 者 今 田 正 卓 海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内

⑲ 出 願 人 富士ゼロックス株式会社 東京都港区赤坂3丁目3番5号

⑳ 代 理 人 弁理士 木村 高久

明 細 書

1. 発明の名称

画像拡大縮小タイミング発生回路

2. 特許請求の範囲

デジタル画像データを拡大または縮小するための第1および第2のタイミングパルス信号を発生する画像拡大縮小タイミング発生回路において、

縮倍率の整数部分と小数部分とが各別に設定される縮倍率設定部と、この縮倍率設定部に設定された縮倍率の小数部分を繰返し加算し、オーバーフローしたときに所定のキャリー信号を発生する加算部と、前記縮倍率設定部に設定された縮倍率の整数部分をダウンカウントとし、該ダウンカウント値と前記加算部で発生されたキャリー信号とに基づき基本クロック信号に同期した第1のタイミングパルス信号を発生する第1のパルス発生手段と、この第1のパルス発生手段の前記ダウンカウント値が所定値となった場合にのみ、前記基本

クロック信号に同期した第2のタイミングパルス信号を発生する第2のパルス発生手段とを具備したことを特徴とする画像拡大縮小タイミング発生回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はデジタル画像処理において、画像を拡大または縮小するためのタイミングパルスを発生する画像拡大縮小タイミング発生回路に関するものである。

〔従来の技術〕

この種の画像拡大縮小タイミング発生回路的一种方式として、設定された拡大率または縮小率を繰返し加算し、発生されたキャリーに基づき拡大・縮小のタイミングを得るものがあり、その1従来技術として特願58-161746を提げることができる。

この従来技術は、縮小時は縮小率を拡大時は拡大率の逆数を定数設定部に設定し、該設定値を繰

返し加算することで小数部から整数部へのキャリーを発生し、このキャリー発生の有無を即拡大または縮小のためのタイミングパルスとして用いるようにしたものであるが、この従来技術では拡大処理と縮小処理を区別するための信号が必要になるとともに、リニアに変化する縮倍率を得ることができないという問題点がある。例えば、繰返し加算手段として8ビットの加算器を用いた場合得られる縮倍率は「 $\frac{1}{2^8}$ 」・「 $\frac{2}{2^8}$ 」・「 $\frac{2^8-1}{2^8}$ 」・「1」・「 $\frac{2^8}{2^8-1}$ 」……「 $\frac{2^8}{2}$ 」・「 $\frac{2^8}{1}$ 」となり、拡大率は128倍の次は256倍となる。

また、上記以外の繰返し加算方式として、設定された m ・ n 倍($m, n=0, 1, 2, \dots$)の縮倍率を逆数変換せずにそのまま繰返し加算する方式もあるが、この方式では1回の加算処理において整数部で最大 $2m+1$ 個のキャリーを生じる可能性があり、1度に多数のキャリーを取扱うことができる複雑かつ特別な加算回路が必要となる。
〔発明が解決しようとする問題点〕

る第1のパルス発生手段と、この第1のパルス発生手段の前記ダウンカウント値が所定値(例えば零)となった場合にのみ、前記基本クロック信号に同期した第2のタイミングパルス信号を発生する第2のパルス発生手段とを具備するようにして上述した問題点を解決する。

〔実施例〕

第2図は本発明にかかる画像拡大縮小タイミング発生回路が用いられるイメージ処理装置の構成例を示すものであり、拡大または縮小の対象となる画像情報が格納された画像メモリ10、システムを制御するホストプロセッサ20、拡大または縮小のタイミング信号を発生する画像拡大縮小タイミング発生回路30、画像拡大縮小タイミング発生回路30から出力されるタイミング信号にしたがって所定のシフト動作をし画像の水平方向の拡大および縮小を実行する拡大・縮小回路40が具備されている。

画像拡大縮小タイミング発生回路30は、ホストプロセッサ20により拡大率または縮小率が整

この発明は上記問題点を解決すべくなされたもので、拡大および縮小動作を区別することなく、リニアな縮倍率の変化を得ることができる画像拡大縮小タイミング発生回路を提供しようとするものである。

〔問題点を解決するための手段および作用〕

この発明は、デジタル画像データを拡大または縮小するために、第1および第2の2つのタイミングパルス信号を必要とする画像拡大縮小システムに適用される。上記2つのタイミングパルス信号の発生比に基づき縮倍率が決定される。

すなわちこの発明は、縮倍率の整数部分と小数部分とが各別に設定される縮倍率設定部と、この縮倍率設定部に設定された縮倍率の小数部分を繰返し加算し、オーバーフローしたときに所定のキャリー信号を発生する加算部と、前記縮倍率設定部に設定された縮倍率の整数部分をダウンカウントとし、該ダウンカウント値と前記加算部で発生されたキャリー信号とに基づき基本クロック信号に同期した第1のタイミングパルス信号を発生す

数部Iと小数部Dとに分けられて設定される定数設定部50、拡大率または縮小率の小数部Dを繰返し加算し、該加算結果が整数値「1」をオーバーしたときにキャリー信号CRYを出力する加算部60、拡大縮小回路40のシフトタイミングを決定する2つのタイミング信号デスティネーションシフトパルスDPおよびソースシフトパルスSPをそれぞれ発生するデスティネーションシフトタイミング発生部70およびソースシフトタイミング発生部80で構成されている。

第3図に拡大縮小回路40の内部構成例を示す。

拡大縮小回路40は、画像メモリ10(第1図)からの画像データをパラレルに入力し、画像拡大縮小タイミング発生回路30から入力されるソースシフトパルスSPに基づき所定のシフト動作を行ない、シフトデータをシリアルに出力する m ビットのソースシフトレジスタ41と、該レジスタ41のシリアル出力を入力とし、画像拡大縮小タイミング発生回路30から入力されるデスティネーションシフトパルスDPに基づき所定のシフト

動作を行なうことにより拡大または縮小データを形成し、これをパラレルに出力するmビットのデスティネーションシフトレジスタ42と、ソースシフトパルスSPを計数しシフトレジスタ41のビット数分のシフトが終了するとオーバーフローさせ画像メモリ10からの脱出し要求信号RDを出力するシフトカウンタ43と、デスティネーションシフトパルスDPを計数しシフトレジスタ42のビット数分のシフトが終了するとオーバーフローさせ、画像メモリ10への書き込み要求信号WRを出力するシフトカウンタ44とにより構成される。

この拡大縮小回路40は、入力されるソースシフトパルスSPとデスティネーションシフトパルスDPとのパルス数比により縮倍率が決定されるものであり、以下2倍に拡大の場合の動作例を簡単に説明する。

初期状態においては、シフトカウンタ43および44は0にセットされており、この状態において画像メモリ10から原イメージデータの行方向

以下、同様にシフトパルスDPとSPとが2対1の比で発生され、この結果、ソースシフトレジスタ41に格納された原イメージデータがデスティネーションシフトレジスタ42において2倍に拡大される。

そして、DP信号がm個出力されると、シフトカウンタ44から書き込み要求信号WRが出力され、デスティネーションシフトレジスタ42において2倍に拡大されたデータが画像メモリ10に書き込まれる。また、シフトカウンタ43がmカウントした時点で脱出し要求信号RDが送出され、次の原イメージデータmビットが画像メモリ10から脱出され、ソースシフトレジスタ41に転送される。

このように、拡大縮小回路40は画像拡大縮小タイミング発生回路30から出力される2つのタイミングパルスDPおよびSPの発生比に応じて拡大縮小率が決定される。

第1図にかかる2つのタイミングパルスDPおよびSPを発生する画像拡大縮小タイミング発生

データmビットがソースシフトレジスタ41に転送され、拡大縮小動作が開始される。

今、デスティネーションシフトパルスDPとソースシフトパルスSPとの発生比率が2対1であるとする。

最初にシフトパルスDPが2個発生され、これによりシフトカウンタ44が2個歩進すると共に、ソースシフトレジスタ41の右端の1ビットのデータがデスティネーションシフトレジスタ42に転送され、さらに同シフトレジスタ42は該転送されたデータを1ビット右へシフトする。すなわちこの場合、ソースシフトレジスタ41に格納された原イメージデータの最初の1ビットが続けて2回転送されることになる。

次に、シフトパルスSPが1個発生され、これによりシフトカウンタ43が1個歩進すると共に、ソースシフトレジスタ41が1ビット右へシフトされ、原イメージデータの2番目の1ビットデータが同ソースシフトレジスタ41の出力端にシフトされる。

回路の一例施例について詳細構成例を示す。

第1図において定数設定部50はホストプロセッサ20により縮倍率の整数部Iが設定保持される整数部レジスタ51、同縮倍率の小数部Dが設定保持される小数部レジスタ52から成る。

次に、加算部60は、小数部レジスタ52に格納された縮倍率の小数部Dを繰返し加算するためのテンポラリレジスタ61と、テンポラリレジスタ61を介した加算動作によってキャリー信号CRYを発生させる加算器62とにより構成される。このキャリー信号CRYは、縮倍率の小数部の加算において加算結果が整数値「1」をオーバーしたときに発生され、またこのキャリー信号CRYが送出されたとき加算結果のうち整数部はオーバーフローされ、残った小数部のみがテンポラリレジスタ61に送られる。例えば、加算結果が「1.2」となったときには、キャリー信号CRYが発生されるとともに、小数部「0.2」のみがテンポラリレジスタ61に送出される。

なお、この加算器62から送出されるキャリー

信号C R Yは各送出時点においてクロック信号C Kの1パルス幅に対応する時間だけ送出されるようになっている。

次に、デスティネーションシフトタイミング発生部70は、基本クロック信号C Kとキャリー信号C R Yの論理反転出力の論理積をとるアンドゲート71、アンドゲート71の出力パルスに基づき整数部レジスタ51からロードされた縮倍率の整数部Iをダウンカウントするダウンカウンタ72、ダウンカウンタ72の全ての出力ビットの論理和をとるオアゲート73、オアゲート73の出力と基本クロック信号C Kとの論理積をとるアンドゲート74、キャリー信号C R Yと基本クロック信号C Kとの論理積をとるアンドゲート75およびアンドゲート74とアンドゲート75との論理和をとり、これをデスティネーションシフトパルスD Pとして出力するアンドゲート74で構成される。

さらに、ソースシフトタイミング発生部80は、デスティネーションシフトパルスD Pの論理反転

出力と基本クロック信号C Kとの論理積をとり、これをソースシフトパルスS Pとして出力するアンドゲート81で構成される。

かかる構成例において、画像データはホストプロセッサ20の制御によって白と黒の部分が「0」と「1」のビット値に対応して画像メモリ10に格納されており、ホストプロセッサ20は拡大縮小動作を開始する前に縮倍率を整数部と小数部とに分けて各々を定数設定部50の整数部レジスタ51と小数部レジスタ52とに格納する。また、この初期状態においては、基本クロック信号C Kは供給されず、テンポラリレジスタ61、ダウンカウンタ72は、それぞれ0にイニシャライズされている。

以下、縮倍率が「2.5」であるときの水平方向拡大動作を第4図に示すタイムチャートにしたがって説明する。

縮倍率が「2.5」であるので、整数部レジスタ51に「2」が、小数部レジスタ52に「0.5」がセットされる。

最初の状態において、クロック信号C Kが入力された際、ダウンカウンタ72は0にセットされているので、オアゲート73の出力は「0」であり、このためアンドゲート74からはデスティネーションシフトパルスD Pが出力されない。他方、アンドゲート81ではクロック信号C KとD P信号の論理反転出力とのアンド条件が成立し、ソースシフトパルスS Pが1個出力される。

そして、この1発目のソースシフトパルスS Pにより加算器62は、小数部レジスタ52に格納された小数値「0.5」とテンポラリレジスタ61の内容「0.0」とを加算する。この加算処理により加算結果「0.5」が得られ、この加算結果「0.5」はテンポラリレジスタ61に送られる。この際、加算器62からはキャリー信号C R Yは出力されない。加算器62は次のソースシフトパルスS Pが入力されるまでこの状態を維持する。

次に、整数部レジスタ51に格納された整数値「2」がダウンカウンタ73に転送される。この際、キャリー信号C R Yは「0」であるので、ア

ンドゲート71のアンド条件が成立し、クロック信号C Kはダウンカウンタ72にそのまま入力される。したがって、この場合ダウンカウンタ73は基本クロック通りに「2」「1」「0」とダウンカウントされ、カウント出力が「2」および「1」のときにオアゲート74の出力が「1」となり、その結果アンドゲート75から2発のデスティネーションシフトパルスD Pが出力される。そして、ダウンカウンタ73の出力が「0」になった時点において、D P信号の送出は停止される。該停止により、アンドゲート81からソースシフトパルスS Pが1個出力される。他方、このソースシフトパルスS Pにより、加算器62は小数部レジスタ52の格納データ「0.5」とテンポラリレジスタ61の内容「0.5」とを加算する。この結果、加算出力「0.0」（小数点以下の値しか出力されない）が得られるとともに、キャリー信号C R Yが「1」となる。前述したように、このキャリー信号はクロック信号C Kの1パルス幅に対応する時間だけ「1」となる。

このCRY信号が発生された時点において、整数部レジスタ51の格納データ「2」が再びダウンカウンタ73に転送されるが、この場合CRY信号がクロック信号CKの1パルス分の間「1」であるので、ダウンカウンタ73に加えられるクロックが基本クロック信号CKに対し1回少なくなり、このため、ダウンカウンタ73は「2」「2」「1」「0」というようにダウンカウントされる。このダウンカウントに伴ない、アンドゲートからは3発のデスティネーションシフトクロックDPが出力される。すなわち、この1サイクルにおいて、2個のソースシフトパルスSPと5個のデスティネーションシフトパルスDPとが出力され、これらパルスの比は2対5になり、2.5倍の拡大タイミングパルスが得られることになる。

以下同様、上述した動作が繰返されることにより、ソースシフトレジスタ41内に原イメージデータがシフトレジスタ42において2.5倍に拡大される。

次に、縮倍率が「0.4」であるときの、水平方

これらパルスの比は5対2となり、0.4倍の縮小タイミングパルスを得ることができる。

このように、本実施例では拡大・縮小を区別する信号を入力したり、拡大時は拡大率の逆数を定数設定部50に設定したりする処理を行なうことなく、リニアな倍率の拡大縮小タイミングを得ることができるようになる。

なお、上記実施例では、本発明の拡大縮小タイミング発生回路を水平方向の拡大・縮小動作に適用するようにしたが、上記実施例の拡大縮小タイミング発生回路は垂直方向の拡大縮小動作にも適用できることは勿論である。この場合、水平方向と垂直方向の縮倍率が同一であるシステムにおいては、上記実施例装置から出力されるSP信号およびDP信号を垂直方向拡大縮小回路にも供給するようにすればよく、また、水平方向と垂直方向の縮倍率が別々に設定できるシステムにおいては、上記実施例装置と同一のものを別途に備えるようにすればよい。垂直方向の拡大縮小回路については、例えば特願58-161746にも示されてい

向縮小動作を第5図に示す。

縮倍率が「0.4」であるので整数部レジスタ51に「0」が小数部レジスタ52に「0.4」が格納される。

この場合、整数部レジスタ51の格納データが「0」であるので、ダウンカウンタ72の出力は常に「0」となり、このためオアゲート73の出力は常に「0」である。この結果、アンドゲート81のアンド条件は常に成立し、アンドゲート81からは基本クロック信号がそのままソースシフトパルスSPとして出力されることになる。

したがって、加算器62は基本クロックCK通りに加算動作を行ない、小数点位をオーバーフローしたときにキャリー信号CRYが発生される。そして、このキャリー信号CRYはアンドゲート75を介してオアゲート76に加えられ、デスティネーションシフトパルスDPとして出力される。

すなわち、この場合第5図に示すように、ソースシフトパルスSPが5発出力される間に2個のデスティネーションシフトパルスDPが出力され、

るように様々な回路が提案されているが、要は、上記実施例装置から発生される2つのタイミング信号に基づき、1ライン分のデータをリピートあるいはスキップすればよい。

また、上記実施例装置における各構成要素の細部構成は任意であり、それぞれ同等の機能を実現する他の構成に置換えるようにしてもよい。さらに、上記実施例では、各構成要素を専用回路を用いて構成するようにしたが、マイクロコンピュータを用いて同等の処理を行なわせることも可能である。

〔発明の効果〕

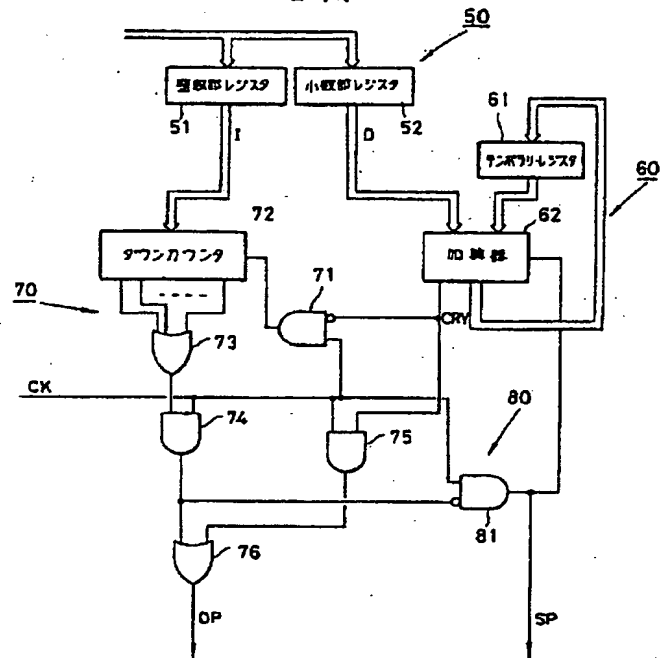
以上説明したように、この発明にかかる画像拡大・縮小タイミング発生回路によれば、簡単な回路構成で、拡大・縮小を区別する信号を入力したり、縮倍率の逆数を設定したりすることなく、拡大縮小のためのタイミング信号を発生することができるとともに、リニアに変化する縮倍率を得ることができるようになる。

4. 図面の簡単な説明

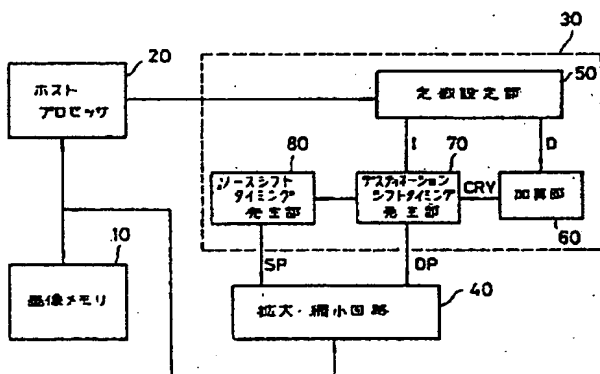
第1図はこの発明にかかる画像拡大縮小タイミング発生回路の一実施例を示す回路ブロック図、第2図はこの発明が適用されるイメージ処理装置の全体構成例を示すブロック図、第3図は拡大縮小回路の内部構成例を示すブロック図、第4図および第5図はそれぞれ第1図に示した実施例装置の具体動作例を示すタイムチャートである。

10…画像メモリ、20…ホストプロセッサ、30…画像拡大縮小タイミング発生回路、40…拡大縮小回路、41…ソースシフトレジスタ、42…デスティネーションシフトレジスタ、43、44…シフトカウンタ、50…定数設定部、51…整数部レジスタ、52…小数部レジスタ、60…加算部、61…テンポラリレジスタ、62…加算器、70…デスティネーションシフトタイミング発生部、72…ダウンカウンタ、80…ソースシフトタイミング発生部。

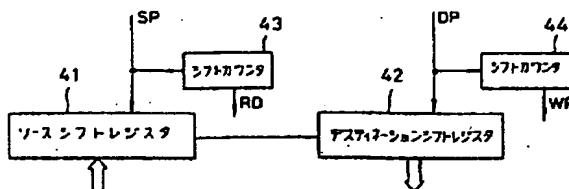
第1図



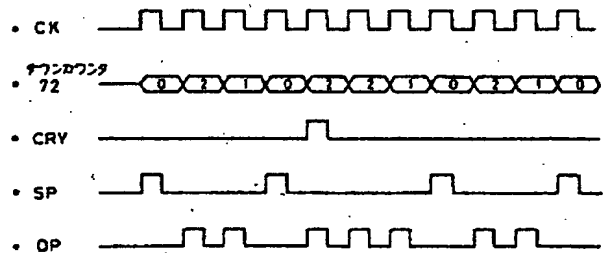
第2図



第3図



第4図



第5図

